

⑫ 公 開 特 許 公 報 (A)

平 2 - 14584

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公 開 平 成 2 年 (1990) 1 月 18 日

H 01 L 33/00
B 41 J 2/45

J

7733-5F

7612-2C B 41 J 3/21

L ※

審査請求 未請求 請求項の数 1 (全 12 頁)

⑭ 発 明 の 名 称 発 光 素 子 ア レ イ

⑯ 特 願 昭 63-164353

⑰ 出 願 昭 63 (1988) 7 月 1 日

⑱ 発 明 者 楠 田 幸 久 大阪府大阪市東区道修町 4 丁目 8 番地 日本板硝子株式会
社 内

⑲ 発 明 者 刀 根 深 大阪府大阪市東区道修町 4 丁目 8 番地 日本板硝子株式会
社 内

⑳ 発 明 者 山 下 建 大阪府大阪市東区道修町 4 丁目 8 番地 日本板硝子株式会
社 内

㉑ 出 願 人 日本板硝子株式会社 大阪府大阪市東区道修町 4 丁目 8 番地

㉒ 代 理 人 弁 理 士 大 野 精 市
最終頁に続く

明 細 書

1. 発 明 の 名 称

発 光 素 子 ア レ イ

2. 特 許 請 求 の 範 囲

(1) a. しきい電圧もしくはしきい電流が外部
から制御可能な制御電極をそれぞれ有する発光素
子を多数個、一次元、二次元、もしくは三次元的
に配列し、

b. 各発光素子の制御電極を近傍に位相する少な
くとも 2 つの発光素子の制御電極と互いに電気的
手段にて接続したネットワーク配線を形成し、

c. 各発光素子に、外部から電圧もしくは電流を
印加するクロックラインを接続させた、発光素子
アレイであって、

該電気的手段として、電圧もしくは電流の一方
向性を持つ電気素子を用い、該ネットワーク配線
に電圧もしくは電流が一定方向で流れるようにさ
せたことを特徴とする発光素子アレイ。

3. 発 明 の 詳 細 な 説 明

[産 業 上 の 利 用 分 野]

本発明は発光素子を同一基板上に集積した発光
素子アレイへの自己走査機能の付与と、その駆動
の簡略化に関するものである。

[従 来 の 技 術]

発光素子の代表的なものとして LED (Light
Emitting Diode) 及び LD (Laser Diode) が知ら
れている。

LED は化合物半導体 (GaAs, GaP, AlG
aAs 等) の PN または PIN 接合を形成し、これ
に順方向電圧を加えることにより接合内部にキャ
リアを注入、その再結合の過程で生じる発光現象
を利用するものである。

また LD はこの LED 内部に導波路を設けた構
造となっている。あるしきい順電流以上の電流を
ながすと注入される電子-正孔対が増加し反転分
布状態となり、誘導放射による光子の増倍 (利得)
が発生し、へき間面などを利用した平行な反射鏡
で発生した光が再び活性層に帰還されレーザ発振
が起こる。そして導波路の端面からレーザ光が出
ていくものである。

する発光素子として、機能を持つ負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている（青木昌治超導、「発光ダイオード」工務調査会、pp187~189参照）。

この発光サイリスタの基本構造及び電流-電圧特性を第12図、第13図に示す。第12図に示す構造はN形GaAs基板上にPNPN構造を形成したもので通常のサイリスタとまったく同じ構成である。第13図も同様に通常のサイリスタとまったく同じS字形負性抵抗を奏している。サイリスタも第12図の2端子のみでなく、第14図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御する働きを持ち、ON電圧はゲート電圧に放電電位を加えた電圧となる。またONした後、ゲート電圧はカソード電圧とほぼ一致するようになる。カソード

査を行うためには、LEDアレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多の場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまふという欠点があった。これは駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を認識していた。またLEDを並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

そこで発明者は、発光素子アレイ自身に自己走査機能をもたせることにより、先に挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決する発明を行ない、先に出版した。（特願昭63-65392「発光素子アレイとその駆動方法」）この、先の発明の内容を以下簡単に記す。

先の発明の主旨は、発光素子のターンオン電圧

なる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLEDとまったく同じ原理でレーザサイリスタを形成する事もできる（田代他、1987年秋応用物理学会講演、番号18p-ZG-10）。

これらの様々な発光素子、特にLEDは化合物半導体基板上に多数個作られ、切断されて一つ一つの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に多数個のLEDを並べたLEDアレイとして販売されている。

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能（光走査機能）が必要である。

しかし、これらの従来の発光素子を用いて光走

または電流が、一つの発光素子のON状態によって影響を受けるよう、即ち、相互作用をするよう構成することにより発光の自己走査機能を実現することである。

第15図に先の発明の実施例の第1の例を示す。これは発光素子として先に述べた発光サイリスタを用い、発生した光の一部が隣接する発光サイリスタに入射するよう構成したもので、光が入った発光サイリスタのON電圧が低下する現象を利用するものである。今伝送クロックパルスφ₁がハイレベルとなり、発光サイリスタT(0)がONしてゐるとする。このためその隣側に位置する発光サイリスタT(-1)、T(1)のON電圧が低下する。このため次の伝送クロックパルスφ₁にハイレベル電圧が印可されるとT(1)のみONさせる事が可能となる。これから自己走査を行なうことができる。

第16図に第15図の構成のデバイス構造を示す。N形GaAs基板上にP形(23)、N形(22)、P形(21)からなる発光サイリスタを設け、それぞれのP形(21)層に接続した電極(

40) に伝送クロックラインを接続した構成となっている。動作は先に説明した通りである。

第17図に先の発明の実施例の第2の例を示す。第14図に示した三端子サイリスタのゲート端子を両端R₁、R₂で互いに接続した構成である。今φ₁がハイレベル電圧となりT(0)がON状態になっているとする。このときノードG₁はほぼ零ボルトとなっている。すると抵抗ネットワークから電流が流れ、T(0)に近いノードが最も電圧が引き下げられ、離れていくほど影響は少なくなる。次の伝送クロックφ₁にハイレベル電圧が加わるとT(1)とT(-2)がON可能となるが、ノードG₁のほうがノードG₂より低い電圧となっているため、T(1)のみをONさせることができる。これから自己走査を行なうことができる。

以上簡単に説明した先の発明により、ワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、高ビッチ化の問題等を解決することが可能となった。

〔発明が解決しようとする課題〕

くとも2つの発光素子の制御電極と互いに電気的手段にて接続したネットワーク配線を形成し、

c. 各発光素子に、外部から電圧もしくは電流を印加するクロックラインを接続させた、発光素子アレイであって、

該電気的手段として、電圧もしくは電流の一方方向性を持つ電気素子を用い、該ネットワーク配線に電圧もしくは電流が一定方向で流れるようにさせたことを特徴とする発光素子アレイである。

本発明においては、伝送クロックを2相化するために、先の発明の例で示したような抵抗のみを介した電気的接続方法を取らず、ダイオード、トランジスタ等を介した電気的接続方法を用いる。

本発明によるとダイオード、トランジスタ等の特性の一方方向性、非対称性を利用し、伝送クロックを2相化することができる。

本発明に使用する発光素子としてはしきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の素子が使用できる。なかでも、例えばP導電形半導体領域及びN導電形半導体領域

第15図および第16図の構成例（光結合による方法）では、発光素子から出射する光量を左右で変えることにより伝送クロック数を2つに減少させることができる。

しかしながら第17図に示した構成例（電気的接続による方法）では2相駆動化はできない。このため伝送動作をさせるための駆動回路がそれほど簡単化出来ないという欠点があった。

〔課題を解決するための手段〕

本発明は電気的手段により接続する方法を改良し、電気的手段により接続する方法によっても、2相の伝送クロック数で伝送動作を可能とするものである。

本発明は上記問題点を解決するためになされたものであって、

a. しきい電圧もしくはしきい電流が外部から制御可能な制御電極をそれぞれ有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子の制御電極を近傍に位置する少な

域を直交配置した発光素子等の負性抵抗を有する発光素子を用いることが望ましい。

また本発明に使用する電圧もしくは電流の一方方向性を持つ素子としてダイオード、トランジスタを用いてもよい。

さらには、これらのダイオード、トランジスタを、発光素子を形成している第1導電形半導体部及び第2導電形半導体部（P形、N形層）を用いて（組み合わせて）形成することにより、簡単な製造方法にて、本発明を実現できる。

〔作用〕

本発明では一方方向性を持ったダイオード、トランジスタ等を介して、発光素子間の電気的接続を行なうことにより、実施例にて詳細に説明するように2相の伝送クロックにて自己走査を行なうことが可能となる。

〔実施例〕

<実施例1>

ここで説明する実施例1は電気的接続の方法としてダイオードを用いるものである。

実施例1の原理の等価回路図を第1図に示す。これは発光しさい電圧が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。T(-2)~T(+2)は発光サイリスタの番号であり、それらが一列に並べられた構成となっている。G₋₂~G₊₂はT(-2)~T(+2)のそれぞれの発光サイリスタのゲート電極を表す。R_iはゲート電極の負荷抵抗を表し、D₋₂~D₊₂は電気的相互作用を行なうダイオードを表す。またV_{ox}は電源電圧を表す。各単体発光サイリスタのアノード電極に2本の伝送クロックライン(φ₁、φ₂)がそれぞれ1素子おきに接続される。

動作を説明する。まず伝送クロックφ₂がハイレベルとなり、発光素子T(0)がONしているとする。この時、3端子サイリスタの特性からゲート電極G₀は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。V_{ox}を5Vとすると、抵抗R_i、ダイオードD₋₂~D₊₂のネットワークから各発光サイリスタのゲート電圧が

決まる。そして発光素子T(0)に近い素子のゲート電圧が最も低く、以降順にT(0)から離れるに従ってゲート電圧は上昇していく。しかしながら、ダイオード特性の方向性、非対称性から電圧を下げる効果はT(0)の右半分しか働かない。即ちG₁はG₀にたいし、ダイオードの順方向立ち上がり電圧V₀₁だけ高い電圧に設定され、G₂はG₁にたいし、さらにダイオードの順方向立ち上がり電圧V₁₂だけ高い電圧に設定される。一方左半分に相当するG₋₁はダイオードD₋₁が逆バイアスとなっているため電流が流れず、従ってV_{ox}と同電位となる。次の伝送クロックパルスφ₁は最近接のT(1)、T(-1)及びT(3)、T(-3)等に加わるが、これらの中で最もON電圧が低い素子はT(1)で、約2V₀₁である。次に低い素子はT(3)であり、約4V₀₁となる。T(-1)、T(-3)のON電圧は約V_{ox}+V₀₁となる。以上から伝送クロックパルスのハイレベル電圧を2V₀₁から4V₀₁の間に設定しておけばT(1)のみONさせることができ、伝送動作を行なうことができる。

尚本実施例の等価回路図において、発光サイリスタのゲート電極間を結ぶ素子としてダイオードのみを挙げているが、このダイオードに直列に抵抗を加えても良い。この場合G₀とG₁との電位差がダイオードの立ち上がり電圧V₀₁以上となり、伝送動作可能なクロックハイレベル電圧範囲を拡大できる。

本実施例では伝送クロックパルスが2相の場合で動作を説明したが、3相以上であってももちろん動作する。さらに第1図では発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。またこの説明では発光サイリスタに限定して説明したが同様な機能を有するデバイスであればこれに限らず何でもよい。本考案の別の実施例でも説明するが、発光素子としてレーザサイリスタであってもよい。この駆動方法は発光素子を単体部品で構成してもよく、また次の実施例で示すようななんらかの方法により集積化してもよい。

<実施例2>

実施例1では等価回路を示し説明したが、実施例2では実施例1を集積化して作成する場合の構成についての実施例を説明するものである。本実施例の要点は電気的結合を行なうためのダイオードを発光素子の一部を利用して設けることにより、発光サイリスタと同じ工程で、ダイオードまで形成することのできる構造にある。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子に分離する(分離溝(50))。T(-1)~T(+1)はこれらの単体発光素子の番号を表す。アノード電極(40)はP形半導体層(21)とオーミック接触を有し、ゲート電極(41)はn形半導体層(22)とオーミック接触を有する。絶縁層(30)は素子と配線との短絡を防ぐためのものであり、同時に特性劣化を防ぐための保護

しを實現することができる。

本実施例では伝送クロックパルスとして、 ϕ_1 、 ϕ_2 の2相を想定したが、より安定な転送動作を収める場合にはこれを3相、4相と増加させてもよい。

また本実施例では発光サイリスタの構造を盛ら

固な場合について示したが、発光効率を上げる

ために、より複雑な構造、層構成を導入すること

も本発明の範囲に含まれる。その具体的な例とし

て図18図に示す(因代他1987年米特許第4,586,000号)

第18図に示す(因代他1987年米特許第4,586,000号)

金講談(番号280-ZE-8)。これはN形GAA層を

上に0.6 μ mのN形GAA層を積み、その上にP形

シリコン+シリコンの広いN形GAA層を1 μ m、P形

GAA層を0.5 μ m、N形GAA層を1 μ m、P形シリ

コン+シリコンの広いP形GAA層を1 μ m、そして取り

出し電極とのオーミック接触をとるためのP形G

AA層を0.15 μ m厚とした構造である。発光層

は同じに積まれた、1 μ mのN形GAA層である。こ

れは注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

合界面に注入された電子、正孔がシリコン+シリコンの接

面でもある。

絶縁層(30)は発光サイリスタの発光波長の

光がよく通る材質をもちいることが望ましい。N

形GAA基板(1)はこのサイリスタのカソード

として働く。各層は発光層のシリスタのカソード

(0)に2本の伝送クロックパルス(ϕ_1 、 ϕ_2)が

それぞれ1素子おきに接続される。またゲート電

極には負荷抵抗R_Lが接続される。一方各素子間に

光結合が発生すると本実施例の転送動作が影響さ

れることがある。これを防止するため、ゲート電

極の一部を発光素子間の分離層のなかに入れ、光

結合を防止する構造としている。

本実施例の構成は実施例1(第1図)に示した

等価回路と全く同じ構成であり、全く同じ動作を

する。従って、伝送クロック ϕ_1 、 ϕ_2 のハイレ

ベル電圧を交互に互いに少しづつ異なるように設定

すれば、発光サイリスタのON状態は逐次転送さ

れていく。即ち、発光素子が逐次転送される。本実

施例によると、従来ではできなかった集積化され

た電位結合による2相駆動自己走査形発光素子ア

レイはGAA層に閉じ込められ、この領域で再結合し

発光する。

またここではPNNのサイリスタ構成を例に

説明したが、この電位を検出し、しきい電圧が低

下し、これを利用して転送動作を行わせるという

構成は、PNN構成のみに限られず、その機能

が達成できる素子であれば特に限定されない。例

えば、PNPN層構成でなく、6層以上の構成

でも同様な効果を期待でき、まったく同様な自己

走査機能を達成することが可能である。さらには

静電誘導(SI)サイリスタまたは電界制御サイ

リスタ(FCI)と呼ばれるサイリスタを用いて

もまったく同様であり、本発明に含まれるもので

ある。このサイリスタまたはPCTは電極ア

ロックとして働く中央のP形半導体層を空乏層で

置き換えた構造となっている(5. M. Sze 著、Ph

ysics of Semiconductor Physics, 2nd Edition

pp238-240)。

> 実施例3 >

実施例3を第3図、第4図に示す。この実施例

は実施例3を第3図、第4図に示す。この実施例

は実施例3を第3図、第4図に示す。この実施例

は実施例3を第3図、第4図に示す。この実施例

sAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子に分離する(分離溝50)。また分離溝51は発光素子T(0)と結合用ダイオードD₀とを分離するための溝である。負荷抵抗(63)R_Lは発光素子のN形GaAs層(22)を用いている。これは別の層を用いてもよい。例えばp層(23)を用いる、あるいは別の抵抗領域を設け、これを用いてもよい。

本実施例3の製造工程を説明する。まずN形GaAs基板上にN形GaAs層(24b)、N形AlGaAs層(24a)、P形GaAs層(23)、N形GaAs層(22)、P形AlGaAs層(21b)、P形GaAs層(21a)の各層を順次形成する。そして分離溝(50)を形成し、発光素子及び抵抗間の分離を行なう。次に分離溝(51)を形成し、発光素子と結合ダイオード間の分離を行なう。

1で示した発光サイリスタをPNPトランジスタT₁₁とNPNトランジスタT₁₂との組合せで表わした。サイリスタと同じ動作をさせるため、T₁₁のコレクタをT₁₂のベースに、T₁₁のベースをT₁₂のコレクタに接続している。T₁₁のベース、即ちT₁₂のコレクタが三端子サイリスタのゲートに相当する。このT₁₁、T₁₂の組合せをT(-1)~T(1)で表わしている。さて本実施例4は隣接素子との結合に実施例1で示したダイオードでなく、PNPトランジスタT₁₃を用いたものである。T₁₃のベースはT₁₁のベースに接続され、T₁₃のコレクタはT₁₂のベースに接続される。この時の転送動作は実施例1で説明したものと全く同じである。実施例1のサイリスタをT₁₁とT₁₂との組合せと考え、実施例1のダイオードをT₁₃と考えれば良い。

また本実施例4の具体的なデバイス構造は実施例2及び実施例3で示したものと同じになる。

<実施例5>

第6図に実施例5の等価回路図を示す。本実施

例の(51)形成工程と同じ工程で抵抗(63)の形成を行なう。P形GaAs層(21a)、P形AlGaAs層(21b)の除去を行なう。絶縁膜(30)を形成し、コンタクト孔(C₁)を設ける。電極φ₁(41)(42)を形成する。層間絶縁膜(31)を形成して、スルーホールC₂を設け、電極φ₁、φ₂を形成する。以上の工程により本実施例3の構造が完成する。

この工程の順序は必ずしも上記のとおりである必要はなく、例えば分離溝(50)と分離溝(51)の形成順序が逆転していてもよい。また第4図の上にさらに透光性絶縁膜を設け、信頼度を向上させるようにしてもよい。さらには発光素子上の絶縁膜が厚くなり光透過率が低下することを嫌うなら、発光素子の上部絶縁膜の一部または全部をホトエッチング等の方法により除去してもよい。

<実施例4>

実施例4は電気接続の方法としてトランジスタを用いるものである。

実施例4の等価回路を、第5図に示す。実施例

5は実施例1に示した等価回路に対し、電源V_{cc}及び負荷抵抗R_Lを削除したものである。実施例1の等価回路では電源電圧V_{cc}に対してサイリスタのターンオン電圧が定まっており、ONした素子のゲート電圧がほぼ零ボルトとなること、そしてそれがダイオードを通して隣接素子に影響を与えることを利用していた。本実施例5ではこの電源V_{cc}を削除しており、この動作を説明する。

今転送クロックφ₂にクロックハイレベル電圧を加え、発光サイリスタT(0)がONしているとする。ゲートG₀はほぼ零ボルトとなる。この時隣接する発光サイリスタT(-1)のゲートG₋₁の電圧は不定となる。ダイオードD₋₁はゲートG₋₁の電圧が零ボルト以上であれば逆バイアスとなり、電流は流れないからである。また発光サイリスタT(-1)のゲートG₋₁の電圧はダイオードD₀の順方向立ち上がり電圧V₀より高くなることができない。これから発光サイリスタT(-1)のON電圧は発光サイリスタT(-1)のデバイス構造から定まるON電圧となる。一方発光サイリスタT(1)のON電圧はゲ-

トウの電位からさらに V_{d1} だけ高い電圧となる。
従って約 $2V_{d1}$ と1 デバイス構造から定まる
ON電圧をこの $2V_{d1}$ より高く設定しておけば実
施例1にて説明した通りに二相駆動が可能となる。

本実施例5によれば電源、負荷抵抗が不要であ
り、配線も伝送クロック2本のみでよく、簡単な
構造とすることができる。

<実施例6>

第7図、第8図に実施例6の構造図を示す。こ
れは実施例5で示した等価回路を現実に対応する
場合の構造を示したものである。第7図は平面図
を示し、第8図は第7図のX-X'の断面図を示
す。

この構造について説明する。伝送クロックライ
ン ϕ_1 、 ϕ_2 、発光素子T(1)~T(1)は上述と同様
である。ゲート電極41は、結合のためのダイオ
ードD₁₁~D₁と発光素子のゲートとを接続してい
る。第8図に示す発光素子部は、基本的に第4図
の発光素子部と同じである。

本実施例6の製造工程を説明する。まずN形G

第9図に実施例7の等価回路図を示す。この実
施例7は実施例5をトランジスタによる等価回路
に書き直したものに相当する。実施例4の負荷抵
抗を取り去った構造になっており、動作は実施例
5と同じである。また本実施例7を現実に対応し
た場合、実施例6に示した構造となる。

このように等価的にトランジスタをもちいても
構成できる。

<実施例8>レーザへの応用

いままでの実施例の説明は発光素子として発光
サイリスタを念頭に説明してきた。しかし本考案
は発光サイリスタに限られるものでなく、例えば
レーザサイリスタを用いても全く同様に動作する。
以下の実施例にてレーザサイリスタを用いた場合
を説明する。

第10図、第11図に実施例8の構造図を示す。
これは本発明をレーザに適用した場合を示す。第
10図は本実施例8の平面図を、第11図は断面
図を示す。基本的にはサイリスタ部をレーザサイ
リスタとし、そのキャビティ部に結合用ダイオー

dAs基板上にN形GaAs層(24b)、N形AlG
aAs層(2)、P形GaAs層(23)、N形
GaAs層(22)、P形AlGaAs層(21b)、
P形GaAs層(21a)の各層を順次形成する。
そして分組溝(50)を形成し、発光素子間の分
組を行なう。次に分組溝(51)を形成し、発光
素子と結合ダイオード間の分組を行なう。即ちP
形GaAs層(21a)、P形AlGaAs層(21b)
の除去を行なう。絶縁膜(30)を形成し、コン
タクト孔(C₁)を設ける。電極(41)、 ϕ_1 、
 ϕ_2 を形成する。以上の工程により本実施例6の構
造が完成する。

本実施例6で示した構造の特徴として、実施例
3と異なり、二相配線を使用していないことが挙
げられる。第7図をみれば明かなように配線パタ
ーンが直ならず形成でき、配線形成は一層配線
で良いことになる。また抵抗が不要となることか
ら製造が簡単となり、これから製造コストをさら
に低減できることになる。

<実施例7>

Dを設けた構造となっている。これは実施例5、
7の等価回路を適用したものである。

製造方法を概説する。n形GaAs基板(1)上
にn形AlGaAs(25)、p形AlGaAs(24)
、I形(ノンドープ)GaAs(23)、n形AlG
aAs(22)、p形AlGaAs(21)、上部電極
(20)を順次積層する。(p形AlGaAs(21)
と上部電極(20)との間にオーミック接触を良
好とするためにp形GaAs層を挟む場合もある。)

次にホットエッチングにより上部電極(20)を
図中n形AlGaAs層(25)の幅と同じ幅を持つ
長方形に加工し、これをマスクとして、p形AlG
aAs(21)~n形AlGaAs(25)の各層をエ
ッチングする。この時に素子間の分組溝(50)
が形成される。次にホットエッチングにより同じ上
部電極(20)をさらにエッチングし、 $10\mu\text{m}$ 以
下の幅を持つストライプ状パターン(レーザサイ
リスタの電流注入部)と結合用ダイオードパター
ン(D₁₁~D₁部分)を設ける。これをマスクとし
て、p形AlGaAs(21)n形AlGaAs(22)

の層をエッチングする。n形AlGaAs(22)層は全部除去せず一部残るにする。さらに絶縁膜(30)を成膜する。この絶縁膜は絶縁と光遮蔽の二つの機能を持つようにしたものが望ましく、複素機種の膜をもちいて形成してもよい。この絶縁膜として例えばSiO₂膜を使用した場合、GaAsの発光波長である870nmを透過するため、光結合を誘発する可能性があり、その間に例えば非晶質シリコンのような光吸収物質による光遮蔽膜を設ける必要がある可能性があるからである。次にホトエッチングによりコンタクト穴(C1)を設け、転送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホトエッチングにより転送クロックライン(φ1、φ2)を形成する。そして最後にへき開等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができる。

この実施例では実施例5、7の等価回路をレーザへ応用した場合を示したが、実施例1、4の等価回路、即ち抵抗を設けたタイプでもレーザを形

また、実施例で示してきた構成において、導電型のPとNをそれぞれ逆転してもバイアス条件を反転すれば、全く同様に動作する。

<応用例>

以上の実施例にて説明してきた自己走査可能な発光素子アレイは、各種応用が期待できる。例として、光走査の密着イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの機器の低価格化、高性能化に大きな寄与をすることができる。

上記実施例においては、各々隣接する発光素子の制御電極を互いに電気的手段にて接続してネットワークを形成しているが、例えば各々接続する発光素子を1つおきの発光素子として、1つの発光素子アレイに2系列の走査機能を設けることもできる。また、2次元、3次元の発光素子アレイの場合には、各発光素子は近傍の4つまたは6つ以上の発光素子と電気的手段にて接続される。

【発明の効果】

以上述べてきたように、本発明は発光素子アレ

イでできることは言うまでもない。

尚レーザの本構造にかきられるものではなく、例えばTJS形、BH形、CSP形、VSI形等を用いてももちろんよい(S. M. Sze 著、Physics of Semiconductor Physics, 2nd Edition pp724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlGaInP、InGaAsP、ZnSe、GaP等)であってもよい。

尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電位を零ポルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドープした半導体性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。

また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

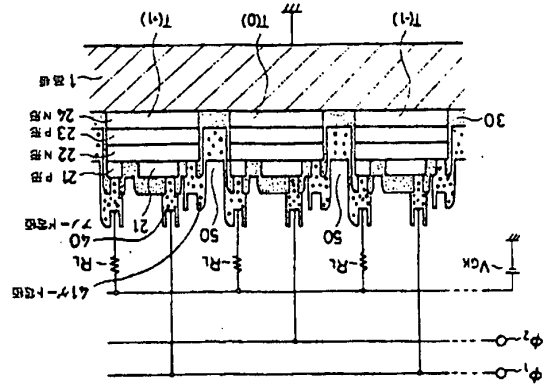
イ同をダイオードまたはトランジスタで結合させることにより、2相の転送クロックで発光点の転送を行なうことができる。即ち、2相クロック駆動の光シフトレジスタを形成できる。また、ワイヤボンディングの数の減少、駆動ICの減少、コンパクト化、組立ピッチ化等ができる。

また本発明は、密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

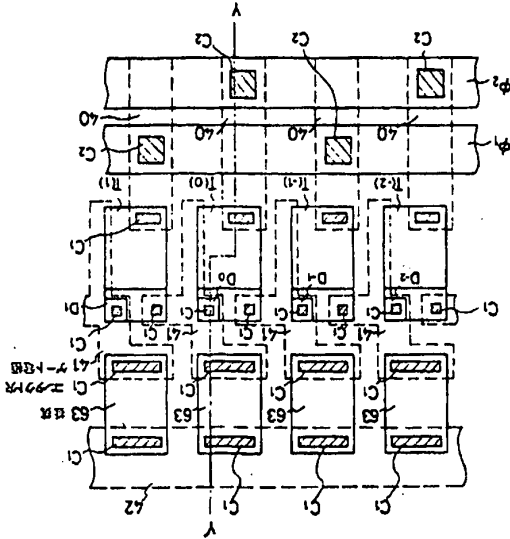
4. 図面の簡単な説明

第1図は実施例1で説明した発光素子アレイの等価回路図、第2図は実施例2で説明した発光素子アレイの構造概念図、第3図および第4図は実施例3で説明した発光素子アレイの平面図および断面図、第5図は実施例4で説明した発光素子アレイの等価回路図、第6図は実施例5で説明した発光素子アレイの等価回路図、第7図および第8図は実施例6で説明した発光素子アレイの平面図および断面図、第9図は実施例7で説明した発光

图 2 续

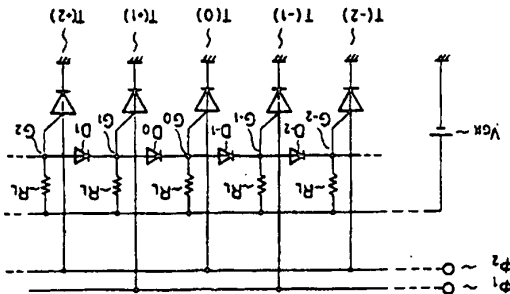


第 3 圖



特許出願人 日本板硝子株式会社
代理人 井上士 大野 和南

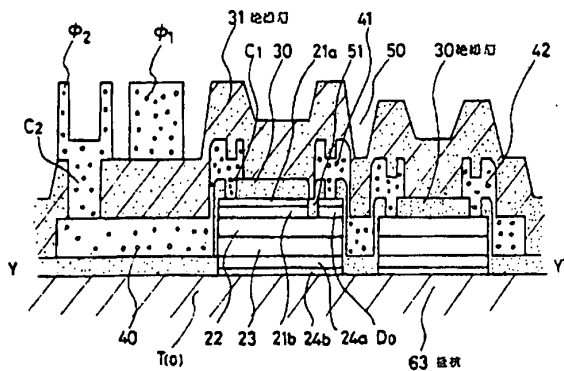
圖一 鐵



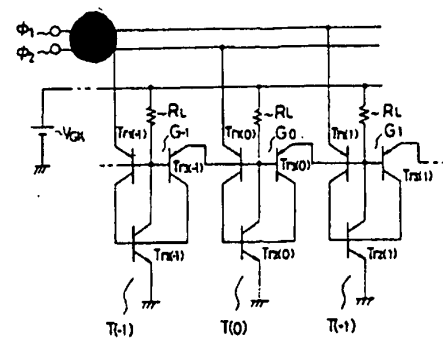
角光サイレツの組態を示す断面図である。

40 は 7 / - 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 103

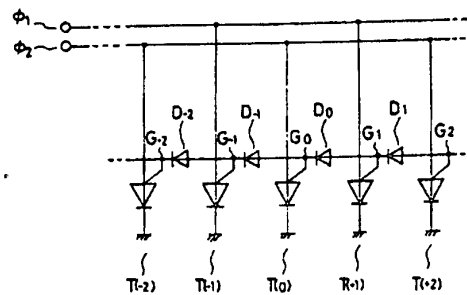
を各々示す。



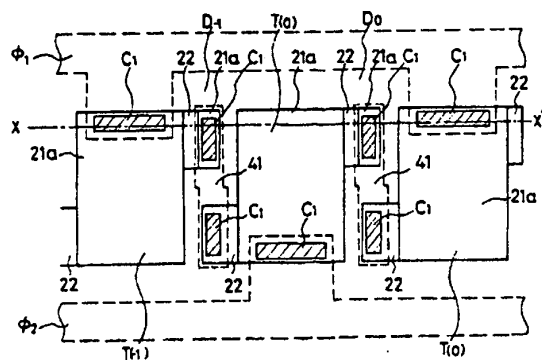
第 4 图



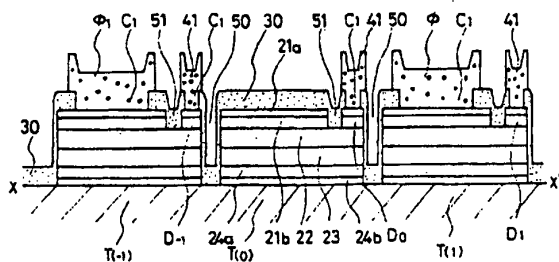
第 5 图

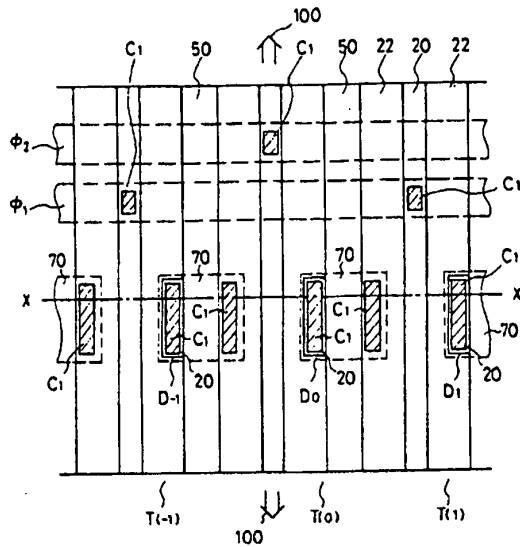


第 6 图

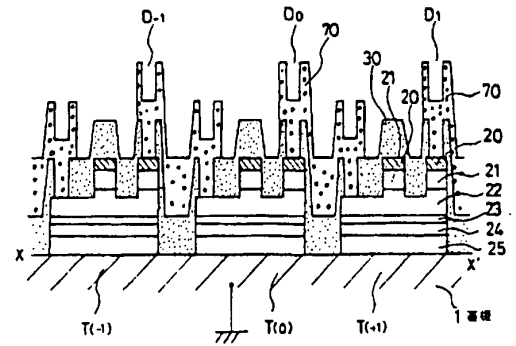


第 7 图

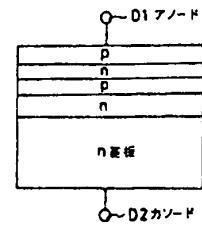




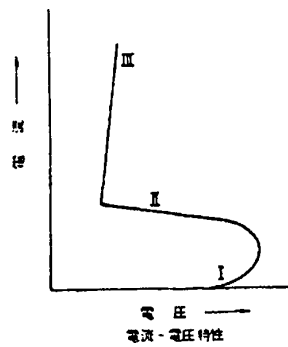
第 10 図



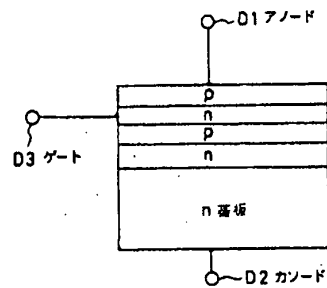
第 11 図



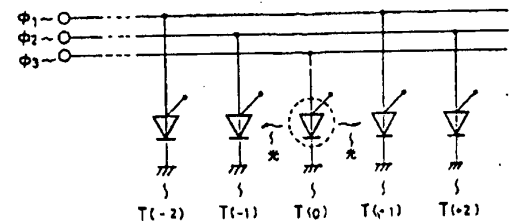
第 12 図



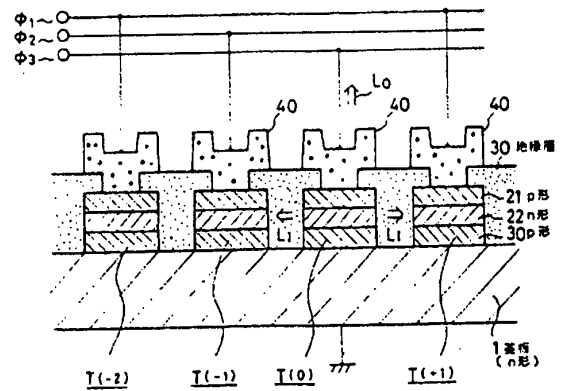
第 13 図



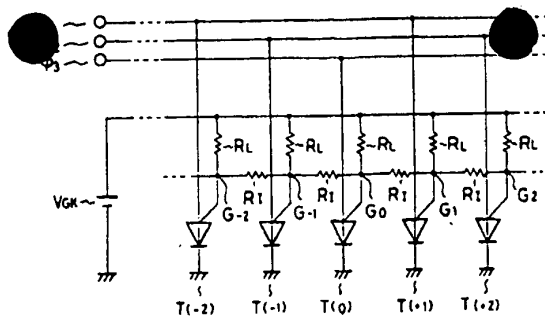
第 14 図



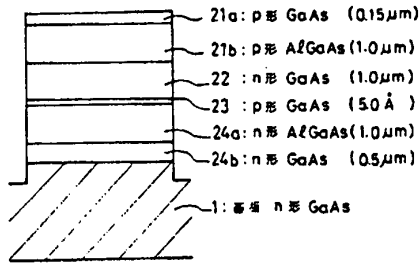
第 15 図



第 16 図



第 17 図



第 18 図

第 1 頁の続き

⑤Int. Cl. 9

識別記号

庁内整理番号

B 41 J 2/455

H 01 S 3/18

7377-5F

②発 明 者 田 中

修 平

大阪府大阪市東区道修町 4 丁目 8 番地 日本板硝子株式会社内